

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
GUINEA ET AL.

Serial No. 09/636,099
Confirmation No: 6346
Filing Date: AUGUST 10, 2000



Examiner: YOUNG T. TSE

Art Unit: 2637

NOA Date: 11/07/05

For: DETECTOR FOR DETECTING TIMING)
IN A DATA FLOW)
_____)

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

BOX ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 99830524.7.

Respectfully submitted,

CHRISTOPHER F. REGAN
Reg. No. 34,906
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Ave., Suite 1401
P. O. Box 3791
Orlando, Florida 32802
(407) 841-2330

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: MAIL STOP ISSUE FEE,
COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-
1450, on this 24th day of January, 2006.

THIS PAGE BLANK (USPTO)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99830524.7

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE, 25/09/00
LA HAYE, LE

THIS PAGE BLANK (USPTO



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: 99830524.7
Demande n°:

Anmeldetag:
Date of filing: 12/08/99
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
A detector for detecting timing in a data flow

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:
H04L7/033, H03L7/081, H03L7/07

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

FOR TITLE SEE PAGE 1 OF DESCRIPTION

THIS PAGE BLANK (USPTO)

"Rivelatore di temporizzazione in un flusso di dati."

DESCRIZIONE

La presente invenzione si riferisce al settore della trasmissione dati sincrona, in particolare secondo lo standard SDH ("Synchronous Digital Hierarchy"). Più in particolare, l'invenzione concerne un rivelatore di temporizzazione in un flusso di dati.

Come noto, lo standard SDH prescrive velocità di trasmissione prestabilite: 51,84 Mbit/s (velocità base), 155,52 Mbit/s, 622,08 Mbit/s eccetera. Le velocità di trasmissione prescritte sono tutte multipli interi della velocità base.

Nell'ambito dello standard SDH, la raccomandazione G.703 emanata dal comitato CCITT della International Telecommunication Union (ITU) prescrive le caratteristiche elettrico/fisiche delle interfacce digitali gerarchiche da utilizzarsi per interconnettere componenti di reti digitali che si conformano allo standard SDH. In particolare la raccomandazione G.703 prescrive il tipo di codifica dei dati da utilizzarsi per ciascuna velocità di trasmissione: ad esempio, per le interfacce di trasmissione/ricezione (dette anche interfacce bidirezionali o "transceiver") a 155,52 Mbit/s si deve utilizzare la codifica CMI ("Coded Mark Inversion"). La codifica CMI è un codice a due livelli, A1 < A2, nel quale uno "0" binario è codificato in modo da

presentare i due livelli A1 ed A2 in successione, ciascuno per un tempo pari alla metà del tempo di bit, mentre un "1" binario è codificato mediante uno o l'altro dei due livelli A1 o A2 mantenuto per tutto il tempo di bit; i due livelli A1, A2 vengono alternati fra loro per "1" binari successivi. Il segnale codificato CMI si caratterizza quindi per il fatto che a metà del tempo di bit non si hanno transizioni, oppure si hanno transizioni con fronte di salita; viceversa, all'inizio del tempo di bit si possono avere transizioni sia in salita che in discesa.

In genere, nelle reti di trasmissione dati si presenta la necessità di sincronizzare un componente della rete con un flusso di dati proveniente da una unità remota. Tale necessità si presenta ad esempio nelle interfaccia associate a circuiti digitali di elaborazione dei dati ricevuti e/o da trasmettere, che tipicamente operano su dati codificati diversamente, ad esempio secondo la codifica NRZ (Non-Return-to Zero"). In ricezione l'interfaccia deve quindi ricevere, da una analoga interfaccia remota attraverso un canale di trasmissione/ricezione costituito ad esempio da una coppia di cavi coassiali, un segnale recante dati codificati CMI, riconoscerli e convertirli in NRZ, e fornirli ai circuiti digitali che li dovranno elaborare. In trasmissione l'interfaccia deve ricevere dai circuiti digitali di elaborazione dati codificati NRZ, riconoscerli e

convertirli in CMI, e porli sul canale di trasmissione/ricezione.

Per sincronizzare un componente della rete di trasmissione, ad esempio una interfaccia del tipo sopra
5 descritto, con un flusso di dati in arrivo da una unità remota, si impiegano rivelatori di temporizzazione. Per la peculiarità della codifica CMI, che come detto presenta transizioni anche a metà del tempo di bit, i rivelatori di temporizzazione noti necessitano di segnali di orologio
10 locali di frequenza doppia rispetto alla frequenza del flusso di dati in arrivo, per essere capaci di produrre le due transizioni nel tempo di bit tipiche della codifica CMI. Nell'esempio di un flusso di dati a 155,52 Mbit/s, corrispondente a un tempo di bit pari a 6,43 ns, i segnali
15 di orologio locali hanno una frequenza di 311,04 MHz.

In vista dello stato della tecnica descritto, uno scopo della presente invenzione è quello di fornire un rivelatore di temporizzazione di un flusso di dati che non richieda segnali di orologio locali di frequenza superiore a quella
20 del flusso di dati stesso.

In accordo con la presente invenzione, tale scopo viene raggiunto mediante una interfaccia bidirezionale sincrona in accordo alla rivendicazione 1.

Le caratteristiche ed i vantaggi della presente
25 invenzione saranno resi maggiormente evidenti dalla seguente

descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a puro titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 mostra schematicamente un circuito per
5 rilevare la temporizzazione in un flusso di dati comprendente un rivelatore di temporizzazione secondo la presente invenzione;

la figura 2 è un diagramma a blocchi del rivelatore di temporizzazione secondo l'invenzione;

10 la figura 3 mostra una possibile implementazione circuitale del rivelatore di temporizzazione di figura 2;

la figura 4 è un diagramma temporale illustrante il principio di funzionamento del rivelatore di temporizzazione secondo l'invenzione;

15 la figura 5 mostra schematicamente una rete di trasmissione dati in cui è ad esempio utilizzabile un rivelatore di temporizzazione secondo l'invenzione;

la figura 6 mostra i principali blocchi funzionali di una interfaccia di ricezione/trasmissione inclusa nella rete
20 di figura 4; e

la figura 7 mostra in dettaglio due blocchi funzionali dell'interfaccia di figura 5, uno dei quali include un rivelatore di temporizzazione secondo l'invenzione.

Con riferimento alla figura 1, un circuito per rilevare
25 la temporizzazione in un flusso di dati BK comprende un

circuito 1 per la generazione di un segnale di orologio locale CK, che viene fornito ad un circuito 2 per ottenere, a partire dal segnale CK, quattro segnali di temporizzazione locali Q1, Q2, Q3, Q4 aventi pari periodo T uguale o
5 sostanzialmente uguale al tempo di bit del flusso di dati BK. I segnali Q1-Q4 sono fra loro sfasati di $T/4$: il segnale Q2 è in ritardo di $T/4$ rispetto al segnale Q1, il segnale Q3 è in ritardo di $T/4$ rispetto al segnale Q2, e quindi di $T/2$ rispetto al segnale Q1 (ossia, il segnale Q3 è in quadratura
10 rispetto al segnale Q1), ed il segnale Q4 è in ritardo di $T/4$ rispetto al segnale Q3.

I quattro segnali Q1-Q4 sono forniti ad un rivelatore di temporizzazione 3 che riceve inoltre il flusso di dati BK di cui si vuole rilevare la temporizzazione. Il rivelatore 3
15 genera un segnale +/- che viene fornito al circuito 2. Un primo livello sul segnale +/- indica al circuito 2 che il segnale Q1 è in ritardo rispetto alla temporizzazione del flusso di dati BK, e deve essere anticipato. Viceversa, un secondo livello sul segnale +/- indica al circuito 2 che il
20 segnale Q1 è in anticipo rispetto alla temporizzazione del flusso di dati BK, e deve essere ritardato. Ovviamente, anticipando o ritardando il segnale Q1, vengono conseguentemente anticipati o ritardati anche i segnali Q2-Q4, che mantengono costanti i loro ritardi rispetto al
25 segnale Q1. Una volta sincronizzato il segnale Q1 con la

temporizzazione del flusso di dati BK, esso può essere usato da altri blocchi circuitali per effettuare elaborazioni sul flusso di dati BK. Un esempio di impiego del segnale Q1 verrà fornito nel seguito.

5 In figura 2 è mostrato uno schema a blocchi del circuito 3 di figura 1. Il rivelatore di temporizzazione comprende un circuito di campionamento 100, che campiona i quattro segnali Q1-Q4 in sincronia con i fronti di salita del segnale BK e fornisce segnali campionati Q1C-Q4C ad un
10 circuito di decodifica 101, che decodifica lo stato dei segnali campionati Q1C-Q4C per attivare di conseguenza il segnale +/-.

Una possibile implementazione circuitale, assolutamente non limitativa, del circuito di figura 2 è raffigurata in
15 figura 3. Il circuito comprende quattro flip-flop di tipo D FF1-FF4, che sui loro ingressi dato D ricevono rispettivamente i segnali Q1-Q4, mentre sui loro ingressi di campionamento ricevono in comune il flusso dati BK. Un segnale di azzeramento RES è inoltre fornito agli ingressi
20 di azzeramento dei flip-flop FF1-FF4 per il ripristino di condizioni iniziali certe.

L'uscita Q1' e l'uscita negata Q2N' dei flip-flop FF1, FF2, e l'uscita Q3' e l'uscita negata Q4N' dei flip-flop FF3, FF4 sono fornite ad una porta logica AND-OR-INVERT 4;
25 il complemento logico dell'uscita della porta 4 costituisce

il segnale +/-.

Il circuito di figura 3 realizza la funzione logica

$$+/- = Q1' \text{ AND } Q2N' \text{ OR } Q3' \text{ AND } Q4N'$$

ove $Q1'$, $Q2N'$, $Q3'$, $Q4N'$, dopo che i flip-flop sono stati
5 caricati con i valori presenti ai loro ingressi, sono
rispettivamente uguali a $Q1$, $Q2N$, $Q3$, $Q4N$.

Considerato che, per loro natura, i segnali $Q1$ e $Q3$,
ed i segnali $Q2$ e $Q4$, sono sempre uno il complementare
dell'altro, il circuito di figura 3 ha la seguente tabella
10 di verità:

Q4	Q3	Q2	Q1	+/-
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0

Il principio di funzionamento del rivelatore di
temporizzazione precedentemente descritto verrà ora chiarito
15 con l'ausilio del diagramma temporale di figura 4.

Il flusso di dati BK funge da segnale di campionamento
per i flip-flop FF1-FF4; in corrispondenza dei fronti di
salita del segnale BK, lo stato logico presente agli
ingressi D dei flip-flop FF1-FF4 viene memorizzato e fornito
20 in uscita. Si supponga che precedentemente all'istante di

tempo t_1 i quattro segnali Q1-Q4 siano rappresentati dalle linee a tratto continuo; si nota che il segnale Q1, che si desidera sincronizzare con la temporizzazione del flusso di dati BK, è in anticipo di Δt . In corrispondenza del fronte di salita del segnale BK (istante t_1), che nell'esempio è costituito dalla transizione a metà tempo di bit tipica di uno "0" logico, lo stato dei segnali è Q1="1", Q2="0", Q3="0", Q4="1". Sulla base della tabella di verità precedente, allo stato suddetto corrisponde il segnale +/- = "1", che indica al circuito 2 che il segnale Q1 è in anticipo e deve essere ritardato. Il circuito 2 provvede di conseguenza a ritardare il segnale Q1 e corrispondentemente i segnali Q2-Q4; in figura 3, le linee a tratto e punto indicano i fronti dei segnali Q1-Q4 come dovrebbero essere se il circuito 2 non intervenisse a ritardare gli stessi.

All'istante di tempo t_2 corrispondente al successivo fronte di salita del segnale BK, che nell'esempio è ancora la transizione a metà periodo di bit di uno "0" logico, il segnale Q1 è ancora in anticipo rispetto al flusso di dati BK. I flip-flop FF1-FF4 campionano e caricano il nuovo stato dei segnali Q1-Q4. Poiché il nuovo stato coincide con il precedente, il segnale +/- generato è ancora un "1", quindi il circuito 2 provvede ancora una volta a ritardare il segnale Q1 e conseguentemente i segnali Q2-Q4; in figura 3, le linee a tratto e due punti indicano i fronti dei segnali

Q1-Q4 come dovrebbero essere dopo il primo intervento del circuito 2.

Il successivo fronte di salita del segnale BK all'istante di tempo t_3 , corrispondente ad un "1" logico, è
5 all'inizio del tempo di bit. I flip-flop FF1-FF4 campionano il nuovo stato dei segnali Q1-Q4 che, in base alla tabella della verità precedente, corrisponde ancora ad un "1" logico sul segnale +/- . I quattro segnali Q1-Q4 vengono pertanto ancora ritardati. Si noti che all'istante t_3 sono i segnali
10 Q3 e Q4 che vengono sfruttati per l'aggancio alla transizione all'inizio del tempo di bit.

In questo modo i segnali Q1 e Q3 vengono progressivamente e dinamicamente mantenuti in sincronia con i fronti di salita del segnale BK, sia all'inizio che a metà
15 del tempo di bit, e si ottiene così l'aggancio alla temporizzazione del flusso di dati.

I segnali Q1 e Q3 potranno essere utilizzati da altri blocchi circuitali per la sincronizzazione degli stessi con la temporizzazione del flusso di dati in arrivo, ed i
20 segnali Q2 e Q4 potranno essere usati da detti blocchi circuitali per effettuare il campionamento del flusso di dati ogni mezzo tempo di bit.

Un vantaggio del rivelatore di temporizzazione secondo l'invenzione risiede nel fatto che esso non necessita di
25 segnali di temporizzazione locali di frequenza doppia

rispetto alla frequenza di bit del flusso di dati di cui si
deve rilevare la temporizzazione. Grazie all'impiego dei
quattro segnali Q1-Q4 fra loro sfasati di un quarto del
tempo di bit, è possibile sfruttare per la sincronizzazione
5 tutte le transizioni con fronte di salita del segnale
codificato CMI, ossia sia le transizioni all'inizio del
tempo di bit (corrispondenti a "1" logici) che quelle a metà
tempo di bit (corrispondenti a "0" logici). Ad esempio, i
segnali Q1, Q2 serviranno per l'aggancio con le transizioni
10 a metà tempo di bit, mentre i segnali Q3, Q4 serviranno per
l'aggancio alle transizioni all'inizio del tempo di bit.

Sebbene nell'esempio descritto i quattro segnali Q1-Q4
abbiano duty cycle pari al 50%, l'impiego dei quattro
segnali Q1-Q4 sfasati di un quarto del tempo di bit rende
15 inoltre il rivelatore di temporizzazione in grado di
funzionare indipendentemente dal duty cycle dei segnali di
temporizzazione locali Q1-Q4 ed insensibile a variazioni di
duty cycle dei segnali Q1-Q4.

Nelle seguenti figure 5-7 viene descritta una possibile
20 applicazione del rivelatore di temporizzazione secondo la
presente invenzione.

In figura 5 è mostrata schematicamente una rete di
trasmissione dati, in particolare una rete conforme allo
standard SDH ("Synchronous Digital Hierarchy"). Una
25 interfaccia 5 sincrona bidirezionale, ossia di trasmissione

e ricezione, riceve su un primo canale 6a, ad esempio un cavo coassiale, un flusso di dati digitali con codifica CMI, da una analogica interfaccia remota 7 ("far end"); a sua volta, l'interfaccia 5 trasmette, su un secondo canale 6b, anch'esso costituito ad esempio da un cavo coassiale, un flusso di dati digitali con codifica CMI all'interfaccia remota 7. Per l'interfaccia 5, il canale 6a è il canale di ricezione (RX), mentre il canale 6b è il canale di trasmissione (TX). L'interfaccia 5 comunica con un circuiteria digitale 8 per l'elaborazione dei dati ricevuti e da trasmettere; analogamente, l'interfaccia remota 7 è associata ad una rispettiva circuiteria digitale 9.

Come mostrato in figura 6, l'interfaccia 5 comprende un circuito di equalizzazione 10 per l'equalizzazione in modulo e fase del segnale ricevuto sul canale di ricezione RX. Un segnale RXEQ, ancora con codifica CMI, in uscita dal circuito di equalizzazione 10 è fornito in parallelo ad un circuito 11 di recupero del segnale di temporizzazione in ricezione, e ad un circuito di decodifica 12 per decodificare il segnale RXEQ codificato CMI in un corrispondente segnale RXNRZ, ad esempio con codifica NRZ, idoneo ad essere fornito alla circuiteria digitale 8.

Il circuito 11 di recupero del segnale di temporizzazione in ricezione riceve inoltre n segnali di temporizzazione CK1-CKn di pari periodo T fra loro ritardati

di T/n , ove T è il tempo di bit, cioè, nel caso di un'interfaccia sincrona per ricezione/trasmissione a 155,52 Mbit/s, circa 6,43 ns. Ad esempio, i segnali CK1-CKn sono sedici segnali, con il segnale CK_{i+1} ritardato di $T/16$ rispetto al segnale CK_i . I segnali CK1-CKn sono generati da un circuito ad aggancio di ritardo ("Delay Locked Loop" o "DLL") 13 alimentato da un segnale di orologio CK di periodo T . Il segnale di orologio CK è a sua volta generato da un circuito 14 locale, che genera una coppia di segnali differenziali TXCKA, TXCKB conformi ai livelli LVDS ("Low Voltage Differential Signal"), i quali attraverso un buffer di ingresso 15 di tipo LVDS/CMOS, sono trasformati nel segnale CK, conforme ai livelli CMOS (ad esempio 5V o 3,3V). Il circuito 14 può ad esempio essere interno alla circuiteria digitale 8, ed è utilizzato per la generazione di una coppia di segnali differenziali TXDA, TXDB rappresentanti il flusso di bit da trasmettere; i segnali TXDA, TXDB, codificati NRZ, attraverso il buffer di ingresso 15, vengono trasformati in un segnale DATA, ancora codificato NRZ, che attraverso un circuito di codifica 16 da NRZ a CMI sincronizzato con sincronizzato con un segnale di temporizzazione CKTX generato dal circuito 8, di frequenza pari a quella del segnale CK ma con duty cycle garantito sostanzialmente pari al 50%, ed un successivo circuito di pilotaggio 17, viene trasformato nel segnale TX da

trasmettere.

Il circuito 11 di recupero del segnale di temporizzazione in ricezione genera un segnale di temporizzazione recuperato CKR che viene fornito al circuito di decodifica 12, il quale per poter effettuare la decodifica del segnale CMI in NRZ deve essere sincronizzato con il flusso di bit ricevuti.

Il segnale RXNRZ ed il segnale CKR vengono inoltre forniti alla circuiteria digitale 8, dopo che i loro livelli sono stati trasformati da CMOS a LVDS mediante un buffer di uscita 18 di tipo CMOS/LVDS analogo al buffer di ingresso 15 che trasforma il segnale RXNRZ in una coppia di segnali differenziali RXDA, RXDB, ed il segnale CKR in una coppia di segnali differenziali RXCKA, RXCKB.

In figura 7 sono mostrati in maggior dettaglio il circuito ad aggancio di ritardo 13 ed il circuito 11 di recupero del segnale di temporizzazione. Il circuito 13 si compone di una catena di n , ad esempio sedici, elementi di ritardo T_1 - T_n in cascata, controllati da una logica 19 che riceve un segnale di uscita 20 di un comparatore di fase 21. La catena di elementi di ritardo T_1 - T_n forma una linea di ritardo controllata. Il ritardo complessivo introdotto dalla linea di ritardo T_1 - T_n è controllato in modo da essere pari ad un periodo T del segnale CK. Il comparatore di fase 21 riceve in ingresso e confronta il segnale CK ed il segnale

CKn all'uscita dell'ultimo elemento di ritardo Tn della catena. Il segnale di uscita 20 del comparatore di fase 21 è funzione della differenza di fase rilevato fra i segnali CK e CKn; la logica 19 comanda gli elementi di ritardo T1-Tn in modo che il ritardo introdotto da ciascuno di essi sia tale per cui il segnale CKn sia in fase con il segnale CK, a meno di un periodo T.

Le uscite CK1-CKn degli n elementi di ritardo T1-Tn sono fornite ad un circuito di selezione 22, sostanzialmente un moltiplicatore, del circuito di recupero 11. Degli n (sedici, nell'esempio) segnali di ingresso CK1-CKn, il moltiplicatore 22 ne fornisce in uscita quattro, Q1-Q3, fra loro ritardati di T/4. I quattro segnali Q1-Q3 sono forniti ad un rivelatore di temporizzazione 23 in accordo con la presente invenzione, del tipo precedentemente descritto, che riceve inoltre il segnale RXEQ, con codifica CMI. Il rivelatore di temporizzazione 23 comanda il selettore 22 attraverso il segnale +/- in accordo a quanto descritto in precedenza, in modo che il segnale Q1, che corrisponde al segnale CKR che verrà fornito al decodificatore 12, sia sincronizzato con il flusso di dati in ricezione.

In questo modo viene recuperato il segnale di orologio dal segnale ricevuto, segnale che può essere fornito al circuito 12 di decodifica da CMI a NRZ. In altre parole, l'interfaccia viene sincronizzata in ricezione con il flusso

di dati ricevuti.

L'interfaccia descritta ha il vantaggio di richiedere un solo segnale di temporizzazione locale, ossia una singola base dei tempi, che viene utilizzato sia per la trasmissione che per il recupero del segnale di orologio in ricezione. La temporizzazione dell'interfaccia sia in ricezione che in trasmissione è quindi affidata ad una sola base dei tempi. Si elimina la necessità di prevedere due oscillatori locali con frequenze vicine fra loro, e quindi il rischio di crosstalk fra i due segnali di temporizzazione. Si ottiene inoltre un risparmio in termini di componenti e di potenza assorbita.

È chiaro che possono essere previste varianti e/o aggiunte a quanto sopra descritto ed illustrato, senza peraltro fuoriuscire dall'ambito di tutela definito nelle rivendicazioni.

*** * ***

RIVENDICAZIONI

1. Rivelatore di temporizzazione in un flusso di dati digitali (BK) con tempo di bit pari a T con una codifica che prevede, all'inizio del tempo di bit T nessuna transizione, o una transizione di un primo tipo oppure una transizione di un secondo tipo, e a metà del tempo di bit T nessuna transizione o una transizione del primo tipo, caratterizzato dal fatto di comprendere primi mezzi circuitali (2) per generare quattro segnali di temporizzazione locali (Q1-Q4) di periodo sostanzialmente pari al tempo di bit e fra loro sfasati di $1/4$ di periodo, e secondi mezzi circuitali (3) per campionare detti quattro segnali di temporizzazione locali (Q1-Q4) in occasione di ciascuna transizione del primo tipo del flusso di dati e per determinare, in base allo stato campionato di detti quattro segnali di temporizzazione locali (Q1-Q4), se una coppia di segnali di riferimento (Q1,Q3) sfasati di mezzo periodo fra detti quattro segnali di temporizzazione locali (Q1-Q4) è in anticipo o in ritardo rispetto alla temporizzazione del flusso di dati, comandando conseguentemente i primi mezzi circuitali in modo da ritardare o anticipare detti quattro segnali di temporizzazione locali (Q1-Q4).

2. Rivelatore di temporizzazione secondo la rivendicazione 1, in cui detta codifica è una codifica CMI (Coded Mark Inversion).

3. Rivelatore di temporizzazione secondo la rivendicazione 2, caratterizzato dal fatto che detti secondi mezzi circuitali (3) comprendono mezzi circuitali di campionamento (100;FF1-FF4) di detti quattro segnali di temporizzazione locali (Q1-Q4) ad ogni transizione del primo tipo nel flusso di dati (BK), e mezzi circuitali di decodifica (101;4) dello stato campionato dei quattro segnali di temporizzazione locali (Q1-Q4) che comandano detti primi mezzi circuitali (2).

10 4. Rivelatore secondo la rivendicazione 3, caratterizzato dal fatto che detti mezzi circuitali di campionamento comprendono quattro elementi bistabili (FF1-FF4) ciascuno associato ad un rispettivo segnale (Q1-Q4) di detti quattro segnali di temporizzazione locali e tutti
15 cloccati da dette transizioni del primo tipo nel flusso di dati (BK), e detti mezzi circuitali di decodifica comprendono un circuito combinatorio (4) che riceve le uscite di detti elementi bistabili (FF1-FF4) e che, in base allo stato di dette uscite, determina se dettacoppia di
20 segnali di riferimento (Q1,Q3) è in anticipo o in ritardo rispetto alla temporizzazione del flusso di dati (BK) comandando di conseguenza detti primi mezzi circuitali (2).

5. Rivelatore di temporizzazione secondo la rivendicazione 4, caratterizzato dal fatto che detto detti
25 elementi bistabili sono flip-flop di tipo D e circuito

combinatorio (4) comprende una porta AND-OR-INVERT che riceve in ingresso le uscite di detti flip-flop (FF1-FF4).

6. Rivelatore di temporizzazione secondo la rivendicazione 5, caratterizzato dal fatto che detta porta AND-OR-INVERT riceve in ingresso una prima coppia di segnali campionati ($Q1'$, $Q3'$) corrispondenti a detta coppia di segnali di riferimento ($Q1$, $Q3$) ed una seconda coppia di segnali campionati ($Q2N'$, $Q4N'$) corrispondenti al complemento logico dei rimanenti due segnali di temporizzazione locali ($Q2$, $Q4$).

RIASSUNTO

Un rivelatore di temporizzazione in un flusso di dati digitali (BK) con tempo di bit pari a T con una codifica che prevede, all'inizio del tempo di bit T nessuna transizione, o una transizione di un primo tipo oppure una transizione di un secondo tipo, e a metà del tempo di bit T nessuna transizione o una transizione del primo tipo, comprende primi mezzi circuitali (2) per generare quattro segnali di temporizzazione locali ($Q1-Q4$) di periodo sostanzialmente pari al tempo di bit e fra loro sfasati di $1/4$ di periodo, e secondi mezzi circuitali (3) per campionare detti quattro segnali di temporizzazione locali ($Q1-Q4$) in occasione di ciascuna transizione del primo tipo del flusso di dati e per determinare, in base allo stato campionato di detti quattro segnali di temporizzazione locali ($Q1-Q4$), se una coppia di segnali di riferimento ($Q1, Q3$) sfasati di mezzo periodo fra detti quattro segnali di temporizzazione locali ($Q1-Q4$) è in anticipo o in ritardo rispetto alla temporizzazione del flusso di dati, comandando conseguentemente i primi mezzi circuitali in modo da ritardare o anticipare detti quattro segnali di temporizzazione locali ($Q1-Q4$).

[Figura 2.]

THIS PAGE BLANK (USPTO)